

Patent Abstracts of Japan

PUBLICATION NUMBER : 56147467
PUBLICATION DATE : 16-11-81

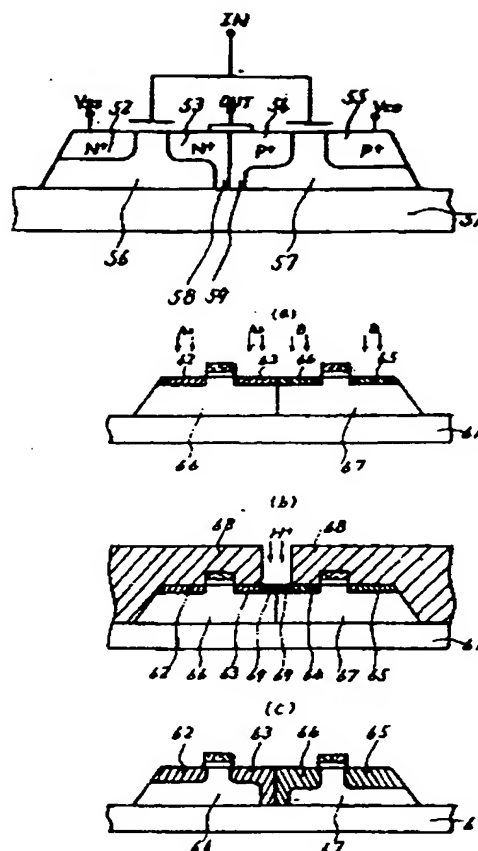
APPLICATION DATE : 18-04-80
APPLICATION NUMBER : 55050428

APPLICANT : TOSHIBA CORP;

INVENTOR : HATANO YUTAKA;

INT.CL. : H01L 27/08 H01L 27/12 H01L 29/78

TITLE : CMOS SEMICONDUCTOR DEVICE
AND MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To eliminate the leakage current between the first and second FETs in a CMOS device and speed up the same by making electrodes contactint with each other reach an insulating substrate solely through the contact portion and vicinity.

CONSTITUTION: On a sapphire substrate 61, an epitaxial layer in grown, and a P layer 66 and an N layer 67 are provided. As is diffused in the P layer 66 to form N⁺ type source and drain 62 and 63, while B is diffused in the N layer 67 to form P⁺ type source and drain 65 and 64. Then, this is coated with an Al thin film 68, which is opened at the boundary between the drains in order to form a proton-implanted layer 69. The Al film 68 is removed, and a heat treatment is applied. Consequently, the proton-implanted portion is enhansively diffused to reach the substrate 61. Then, a gate insulating film and various electrodes are provided as usual. By said constitution, the sources and drains can be formed shallowly, and the transverse diffusion can be decreased. Accordingly, the capacitance resulting from the overlap with the gate can be decreased, and the element can be speed up. In addition, the sources of both FETs will not be forward-biased, so that the leakage current can be restrained.

COPYRIGHT: (C)1981,JPO&Japio

① 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭56—147467

⑤ Int. Cl.³

H 01 L 27/08

27/12

29/78

識別記号

庁内整理番号

6426—5F

6426—5F

6603—5F

③ 公開 昭和56年(1981)11月16日

発明の数 2

審査請求 未請求

(全 4 頁)

④ 相補型 MOS 半導体装置とその製造方法

京芝浦電気株式会社総合研究所
内

② 特 願 昭55—50428

② 出 願 昭55(1980)4月18日

⑦ 発 明 者 波多野裕

川崎市幸区小向東芝町1番地東

① 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

④ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 相補型 MOS 半導体装置と

その製造方法

2. 特許請求の範囲

(1) 絶縁層上に設けられた島状半導体層と、この島状半導体層に形成された1対の第1導電型電極間に第1導電型のチャネルを有する第1電界効果トランジスタと、この第1電界効果トランジスタと夫々導電型電極が相接してなる1対の第2導電型電極間に第2導電型のチャネルを有する第2電界効果トランジスタとを具備した相補型 MOS 半導体装置において、前記相接する電極が相接部近傍全域のみで前記絶縁層まで到達していることを特徴とする相補型 MOS 半導体装置。

(2) 絶縁層上に島状半導体層を形成する工程と、この半導体層に1対の第1導電型電極間に第1導電型のチャネルを有する第1電界効果トランジスタと、この第1電界効果トランジスタと夫々導電型電極が相接してなる1対の第2導電型電極間に第2導電型のチャネルを有する第2電界効果トラン

ジスタとを形成する工程と、前記相接する電極が相接部近傍全域のみで前記絶縁層まで到達する工程とを具備することを特徴とする相補型 MOS 半導体装置の製造方法。

(3) 前記絶縁層が半導体基板内の埋込み絶縁層より成ることを特徴とする前記特許請求の範囲第1項記載の半導体装置。

(4) 前記絶縁層が、絶縁基板より成ることを特徴とする前記特許請求の範囲第1項記載の半導体装置。

3 発明の詳細な説明。

本発明は絶縁層上に設けられた相補型 MOS 半導体装置及びその製造方法に関する。

絶縁層上に設けた相補型 MOS 半導体装置は、半導体基板に基板と逆導電形のウエルを形成して、基板とウエルにそれぞれ逆導電型のトランジスタを設けた相補型 MOS 半導体装置と比較して、浮遊容量が小であるため、高速化でき、NチャネルトランジスタとPチャネルトランジスタが完全に分離されているため、寄生サイリスタ動作による破

最が全く起こらず、更に出力端となる両トランジスタのドレインを接して設けることが出来るため、高集積化できる等の多くの長所を有することが日経エレクトロニクス「SOSLSIの現状と可能性を深る」1979年7月23日号pp110~p132に記載されている。しかし、高集積化するために、ドレイン領域を接して形成した絶縁層上に設けた相補型MOS半導体装置においてはNチャネルトランジスタ及びPチャネルトランジスタのそれぞれのドレイン接合のうち少なくとも一方がドレイン下の絶縁層まで達していない場合あるいは、両ドレイン下の接合深さが異なる場合には、NチャネルトランジスタあるいはPチャネルトランジスタのソース接合が順方向にバイアスされて、漏洩電流が増大するという重大な欠点を有する。即ち第1図に示す様に絶縁基板(1)上のNチャネルトランジスタのソース(2)ドレイン(3)接合が絶縁層との界面まで達していない場合あるいは第2図の様にNチャネルトランジスタのソース(2a)ドレイン(3a)接合の方がPチャネルトランジスタのソース(2b)、ドレイン(3b)

接合より浅い場合には、ゲート入力信号がローレベルの時Pチャネルトランジスタはオンとなり、Pチャネルトランジスタのドレイン(4)、(2b)とNチャネルトランジスタの基板(6)、(2a)を介してNチャネルトランジスタのソース接合が順方向にバイアスされ漏洩電流が流れる。

次に第3図に示すようにPチャネルトランジスタの接合が絶縁層との界面まで達していない場合あるいは図4に示す様にPチャネルトランジスタの接合がNチャネルトランジスタの接合より浅い場合には、ゲート入力信号がハイレベルの時、Nチャネルトランジスタはオンとなり、Nチャネルトランジスタのドレイン(3b)、(4b)とPチャネルトランジスタの基板(6)、(4a)を介してPチャネルトランジスタのソース接合が順方向にバイアスされるときとなり漏洩電流が流れ素子の誤動作を招く。

本発明は上記点に鑑みなされたもので、絶縁層上に設けられた島状半導体層と、この島状半導体層に形成された1対の第1導電型電極間に第1導電型のチャネルを有する第1電界効果トランジスタと、この第1電界効果トランジスタと夫々導電型電極が相接してなる1対の第2導電型電極間に第2導電型のチャネルを有する第2電界効果トランジスタとを具備した相補型MOS半導体装置を形成し、前記相接する電極を相接部近傍全域のみで前記絶縁層まで到達させることにより前記第1及び第2電界効果トランジスタ間に流れる漏洩電流を無くし、且つ高速化可能な相補型MOS半導体装置とその製造方法を提供することを目的とするものである。

尚、本明細書における相接部近傍とは前記相接する電極における前記チャネル領域よりも前記相接部に近い位置の領域を意味する。

以下実施例に基き本発明を詳細に説明する。第5図(a)は絶縁層51に例えばサファイア基板を用い、この島状半導体層例えばシリコン層をエピタキシャル成長させドレインが互いに相接している相補形MOSインバータが構成されてなる実施例を示す。NチャネルトランジスタのドレインであるN⁺層53とPチャネルトランジスタのドレインであるP⁺

層54を接して設けることにより高集積化を図ることができ、且つ相接するN⁺層とP⁺層の境界近傍55、56は絶縁層まで到達している構造にする。従って第1図乃至第4図に示したNチャネルトランジスタあるいはPチャネルトランジスタのソース接合52、57が順方向にバイアスされることを防ぎ、漏洩電流を抑えることができ且つNチャネルトランジスタ、Pチャネルトランジスタともにソース52、57及びドレイン53、54領域がシリコン層下のサファイア基板との界面まで必ずしも達している必要がないため、Nチャネルトランジスタ及びPチャネルトランジスタのソース、52、57ドレイン53、54形成のためのイオン注入条件あるいは拡散条件の選択の自由度は大巾に増大する。またソース、ドレイン領域を浅く形成できるので、ゲート下へのソース、ドレインの横方向拡散の大きさを小さくでき、ゲートとソース、ドレインとのオーバーラップキャパシタンスを減少せしめることができ素子の高速化を図ることができる。

また、上記実施例では相接するN⁺層とP⁺層の

境界近傍が絶縁層に達していたが、上記漏洩電流がシャ断される構造であれば良いので例えば第5図(b)に示すものも有効である。

次に上記構造の相補型MOSトランジスタの製造方法について述べる。第6図(a)に示す様に、サブファイ基板11上にシリコン層をエピタキシャル成長させNチャネルトランジスタ形成領域62をP形とし、Pチャネルトランジスタ形成領域63をN形とした後、Nチャネルトランジスタのソース相当領域62、ドレイン相当領域63に砒素(As)の様なN型不純物をイオン注入あるいは拡散しPチャネルトランジスタのソース相当領域64、ドレイン相当領域65にボロン(B)の様なP型不純物をイオン注入あるいは拡散する。次に第6図(b)に示す様にアルミニウム薄膜66を敷いて前記相接するドレイン領域の少なくとも境界を含むドレイン領域の一部を除く部分を被覆する。このときトランジスタ領域以外はずしもアルミニウム薄膜66で被覆する必要はない。次にプロトン等シリコン中で電気特性に寄与しない質量の小さい物質のイオンビームを

アルミニウム薄膜66をマスクにして照射し注入層67を形成する。次に第6図(c)に示すようにアルミニウム薄膜66を除去して熱処理によりソース領域、ドレイン領域を拡散する。同時にプロトン等の注入層に相当するドレイン領域が絶縁層(4)まで到達する。プロトン等の注入層の拡散層が深く形成されるのは、プロトン等の注入により発生した空格子点の存在による増速拡散作用による。以下、ゲート絶縁膜や各種の電極を形成するのは従来技術の通り行う。上記製造方法によれば増速拡散を用いることにより相接する相補型MOSインバータのドレインの境界付近の接合を深く形成するのに、Nチャネルトランジスタのソース・ドレイン形成及びPチャネルトランジスタのソース、ドレイン形成がそれぞれ1回の不純物導入工程あるいは1回の熱拡散工程で可能である。

尚、上記説明では、絶縁層として、絶縁基板上に形成されたSOS構造の半導体装置について説明を行なったが、半導体基板中に埋め込み絶縁層を設けた相補型MOS半導体装置にも適用できること

は明らかである。

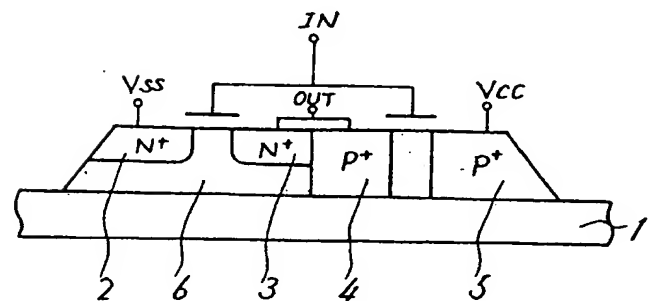
4. 図面の簡単な説明

第1図乃至第4図は従来の絶縁基板上に設けた相補型MOSインバータにおいて漏洩電流のパスが生ずる構造を示す概略断面図、第5図(a)及び(b)は本発明の相補型MOS半導体装置の一実施例を示す概略断面図、第6図(a)～(c)は本発明の相補型MOS半導体装置の製造工程を示す断面図である。図において、

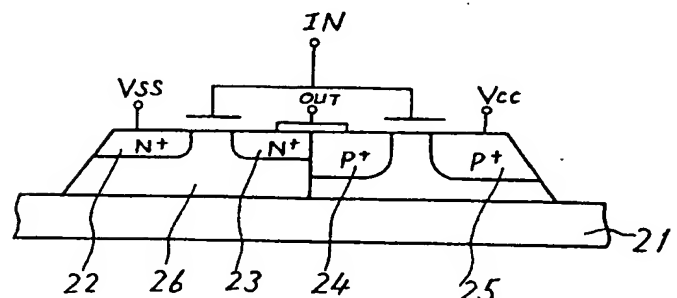
- 51, 61 … 絶縁層
- 52, 62 … Nチャネルトランジスタのソース領域、
- 53, 63 … Nチャネルトランジスタのドレイン領域、
- 54, 64 … Pチャネルトランジスタのソース領域、
- 55, 65 … Pチャネルトランジスタのドレイン領域、
- 58, 59 … 相接部。

(7317) 代理人 弁理士 則 近 庵 佑
(ほか1名)

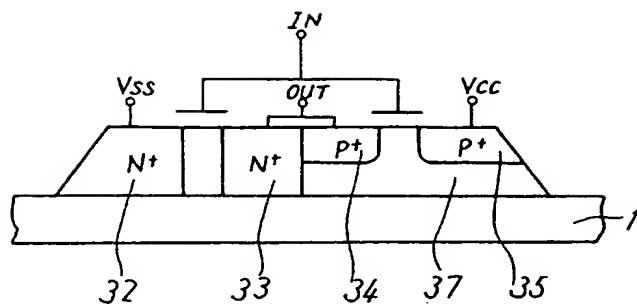
第 1 図



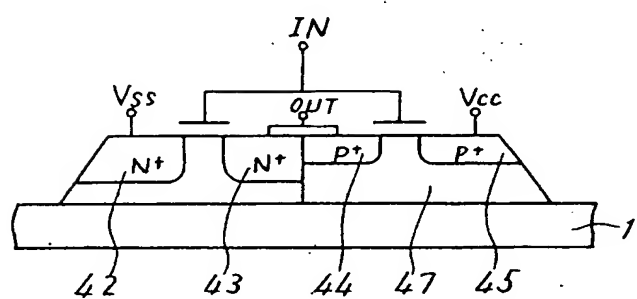
第 2 図



第 3 圖

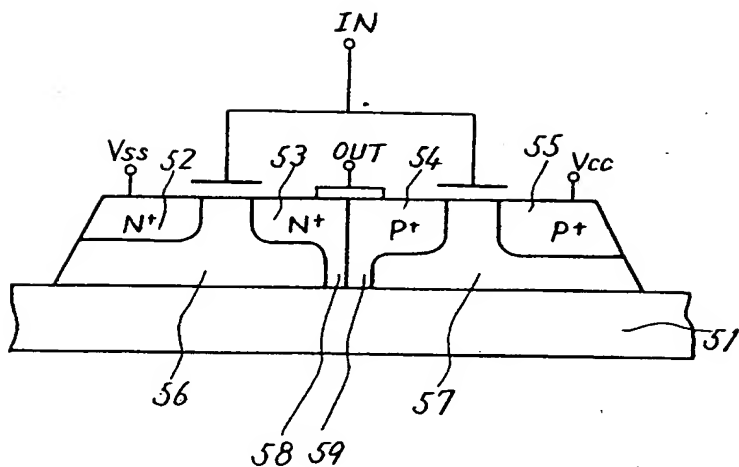


第 4 圖



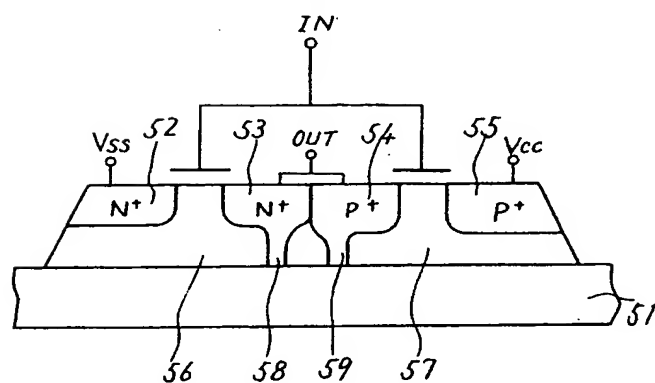
第 5 圖

(a)



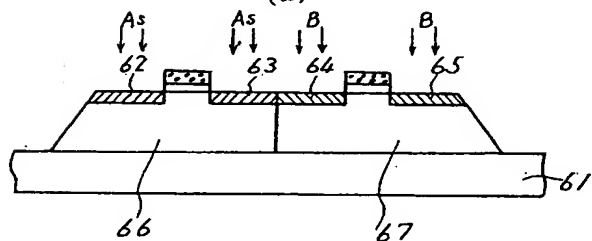
第 5 圖

(b)

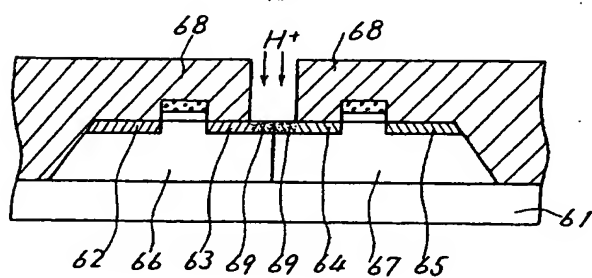


第 6 圖

(a)



(b)



(c)

